

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

011541006 **Image available**

WPI Acc No: 1997-517487/199748

XRFX Acc No: N97-430612

Voltage follower based device circuit for LCD - has offset voltage sensing capacitor in inverting input connected to feed back loop and selectively accesses capacitor to input and output terminals through controller driven ON-OFF switches

Patent Assignee: TOSHIBA KK (TOKE)

Number of Countries: 001 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9244590	A	19970919	JP 9653528	A	19960311	199748 B
JP 3352876	B2	20021203	JP 9653528	A	19960311	200281

Priority Applications (No Type Date): JP 9653528 A 19960311

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 9244590	A		8	G09G-003/36	
JP 3352876	B2		7	G09G-003/36	Previous Publ. patent JP 9244590

Abstract (Basic): JP 9244590 A

The circuit has an operational amplifier (12) with a capacitor (C) in its feed back loop. An ON/OFF switch (SW1) is placed in the main loop. The capacitor terminal (a) is separately connected to voltage input terminal (11) through a switch (SW2) while a parallel feed back loop links to terminal (b) through a switch (SW3).

A switch controller (14) drives these switches in preferred combinations constituting a cyclic pattern. Each pattern has consecutive durations over which a specific combination operates.

ADVANTAGE - Imparts precise, fast corrections to voltage offsets in output.

Dwg. 1/12

Title Terms: VOLTAGE; FOLLOWER; BASED; DEVICE; CIRCUIT; LCD; OFFSET;

VOLTAGE; SENSE; CAPACITOR; INVERT; INPUT; CONNECT; FEED; BACK; LOOP;
SELECT; ACCESS; CAPACITOR; INPUT; OUTPUT; TERMINAL; THROUGH; CONTROL;
DRIVE; SWITCH

Derwent Class: P85; T04; U24

International Patent Class (Main): G09G-003/36

International Patent Class (Additional): H03F-003/34

File Segment: EPI; EngPI

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-244590

(43) 公開日 平成9年(1997)9月19日

(51) Int. Cl. ⁶

識別記号

F I

G09G 3/36

G09G 3/36

H03F 3/34

H03F 3/34

B

審査請求 未請求 請求項の数3 O L (全8頁)

(21) 出願番号 特願平8-53528

(22) 出願日 平成8年(1996)3月11日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 南 崎 浩 徳

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

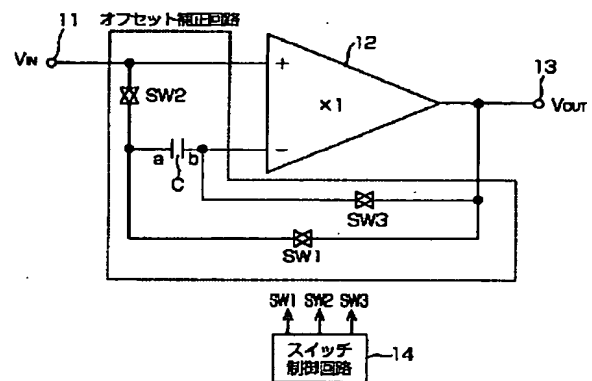
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 出力回路及びこれを含む液晶表示器の駆動回路

(57) 【要約】

【課題】 高速且つ高精度のオフセット補正回路をもつ出力回路を提供する。

【解決手段】 出力回路にキャパシタ (C) を1個と、3つのスイッチ (SW1～SW3) とを設け、このキャパシタに出力アンプのオフセット電圧を蓄えておく。この蓄える方法として、一度出力アンプでキャパシタの電荷をリセットし、その後出力アンプの誤差をキャパシタに蓄え、蓄えた電荷を出力アンプに加算することで、本来出力アンプが持っている誤差を打ち消して、所望の出力を得る。この際、各スイッチの制御によってキャパシタが前段回路の負荷として作用しないようになされる。



【特許請求の範囲】

【請求項 1】正相入力端が回路入力端に接続され、出力端が回路出力端に接続される演算増幅器と、前記正相入力端と前記出力端間に互いに直列に接続される第 1 及び第 2 のスイッチ手段と、前記演算増幅器の逆相入力端と前記出力端間に接続される第 3 のスイッチ手段と、一端が前記第 1 及び第 2 のスイッチ手段相互の接続点に、他端が前記演算増幅器の逆相入力端に接続されるキャパシタと、前記第 1 乃至第 3 のスイッチ手段の導通を制御するスイッチ制御手段と、を含む出力回路であって、前記スイッチ制御手段は、第 1 の期間において、前記第 1 のスイッチ手段を非導通にさせると共に前記第 2 及び第 3 のスイッチ手段を導通させ、第 2 の期間において、前記第 1 のスイッチ手段及び第 3 のスイッチ手段を導通させる共に前記第 2 のスイッチ手段を非導通にさせ、第 3 の期間において、前記第 1 及び第 3 のスイッチ手段を非導通にさせると共に前記第 2 のスイッチ手段を導通させる、ことを特徴とする出力回路。

【請求項 2】正相入力端が回路入力端に接続され、出力端が回路出力端に接続される演算増幅器と、前記正相入力端と前記出力端間に互いに直列に接続された第 1 及び第 2 のスイッチ手段と、一端が前記第 1 及び第 2 のスイッチ手段相互の接続点に、他端が前記演算増幅器の逆相入力端に接続されるキャパシタと、前記第 1 乃至第 3 のスイッチ手段の導通を制御するスイッチ制御手段と、を含む出力回路であって、前記スイッチ制御手段は、第 1 の期間において、前記第 1 のスイッチ手段を非導通にさせると共に前記第 2 及び第 3 のスイッチ手段を導通させ、第 2 の期間において、前記第 1 のスイッチ手段を導通させると共に前記第 2 及び第 3 のスイッチ手段を非導通にさせ、第 3 の期間において、前記第 1 及び第 3 のスイッチ手段を非導通にさせると共に前記第 2 のスイッチ手段を導通させる、ことを特徴とする出力回路。

【請求項 3】請求項 1 又は 2 に記載された出力回路を含む液晶表示器の駆動回路。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】本発明は、駆動回路の改良に関する。特に、液晶表示装置の駆動回路のように、多数用いられる駆動回路の各々の出力の偏差（オフセット電圧）が抑制されるようにした駆動回路に関する。

【 0 0 0 2 】

【従来の技術】従来のオフセット電圧補正機能を有する増幅器の例について図面を参照して説明する。図 1 0 は、特公平 5 - 8 5 0 8 5 号公報により、紹介されている増幅器の例を示している。同図において、OP 1 及び OP 2 は正相（非反転）入力端及び及び逆相（反転）入力端に夫々差動入力 + I N、- I N が印加される演算増幅器（オペアンプ）、C 1 及び C 2 はキャパシタ、S 1

～S 1 2 はトランジスタ・スイッチである。かかる構成において、スイッチ S 1、S 2、S 8、S 9、S 1 0、S 1 1 は第 1 のスイッチグループを形成する。スイッチ S 3、S 4、S 5、S 6、S 7、S 1 2 は第 2 のスイッチグループを形成する。第 1 のスイッチグループと第 2 のスイッチグループとは交互に導通するように制御される。

【 0 0 0 3 】この増幅器の動作について説明する。まず、第 1 のスイッチグループがオフ状態、第 2 のスイッチグループがオン状態に制御される。この場合を図 1 1 に示す。この状態では、演算増幅器 OP 1 はデータ出力モード、演算増幅器 OP 2 はオフセット電圧記憶モードとなる。演算増幅器 OP 1 は、スイッチ S 1、S 2 及び S 1 1 が閉じるので、入力端に供給される相補的な差動信号を出力端子に出力する。一方、演算増幅器 OP 2 の正相入力端は接地され、出力端にはオフセット電圧分が出力される。このオフセット電圧によってキャパシタ C 2 は充電され、オフセット電圧を保持する。

【 0 0 0 4 】次に、第 1 のスイッチグループがオン状態、第 2 のスイッチグループがオフ状態に制御される。この場合を図 1 2 に示す。この状態では、演算増幅器 OP 1 はオフセット電圧記憶モード、演算増幅器 OP 2 はデータ出力モードとなる。このデータ出力モードでは、スイッチ S 6、S 7 及び S 1 2 が閉じ、逆相の入力端子と逆相入力端間にキャパシタ C 2 が直列に接続されるので、差動信号 - I N に逆極性のオフセット電圧を重畳して演算増幅器 OP 2 の逆相入力端に印加される。この結果、演算増幅器 OP 2 の出力からオフセット電圧が相殺されて補正される。

【 0 0 0 5 】このようなスイッチ群の交互の動作を繰り返すことによって、同様に演算増幅器 OP 1 のオフセット電圧も補正される。補正された演算増幅器 OP 1 及び OP 2 の出力電圧が出力端子に交互に出力される。オフセット電圧の補正される出力回路（増幅器）の用途として、例えば、均質な画像表示が要求される液晶表示器の駆動回路が考えられる。

【 0 0 0 6 】従来の液晶駆動回路の構成例について図面を参照して説明する。図 8 は、液晶表示パネルを駆動する液晶駆動回路 5 0 の例を示すブロック図である。液晶駆動回路 5 0 は、データ制御部 5 1、サンプリングレジスタ 5 2、ロードレジスタ 5 3、D/A コンバータ 5 4、出力回路 5 5 によって構成される。データ制御部 5 1 は、シフトレジスタ等によって構成され、信号 S T H L、S T H R、R/L、クロック信号 C L K 等を用いて、データバス D 0 ～D 5 からの一連の画像データの取り込みを、データの供給に同期してサンプリングレジスタ 5 2 に指令する。サンプリングレジスタ 5 2 は、例えば、液晶表示器の画面の 1 ライン相当の画像データをデータバス D 0 ～D 5 から順番に取り込む。ロードレジスタ 5 3 は、サンプリングレジスタ 5 2 に保持された 1 ラ

【課題を解決するための手段】 上記目的を達成するため、本発明の出力回路は、正相入力端が回路入力端（１１）に接続され、出力端が回路出力端（１３）に接続される演算増幅器（１２）と、上記正相入力端と上記出力端間に互いに直列に接続される第１及び第２のスイッチ手段（ＳＷ２、ＳＷ１）と、上記演算増幅器（１２）の

【実施の形態】以下、本発明の実施の形態について図面を参照して説明する。図１は、本発明の出力回路の構成を示しており、外部から、例えば、図示しないＤ／Ａコンバータから供給される入力信号 V_{IN} は出力回路の入力端子１１を介して利得１の演算増幅器１２の正相入力端に印加される。演算増幅器１２の出力信号 V_{OUT} は出力回路の出力端子１３ V_{OUT} を介して外部に出力される。演算増幅器の正相入力端子と演算増幅器の出力端子との間には、制御信号によって動作するスイッチ２及び３が直列に接続される。スイッチ２及び３相互の接続点と演算増幅器１２の逆相入力端子との間にキャパシタ C が接続される。また、演算増幅器１２の逆相入力端と演算増

幅器12の出力端子との間には制御信号によって動作するスイッチ3が接続される。スイッチ1〜3は、例えば、NMOSトランジスタとPMOSトランジスタによるいわゆるトランスファゲートスイッチとして構成される。キャパシタC、スイッチ1〜3は、オフセット補償回路を構成する。スイッチ1〜3の動作は、スイッチ制御手段たるスイッチ制御回路14によって後述するタイミングチャートのように制御される。スイッチ制御回路14は、論理回路やマイクロプロセッサによって構成される。

【0014】次に、上記出力回路の動作について図2のタイミングチャート及び図3の接続状態図を参照して説明する。

【0015】まず、前回の状態である期間T1においては、スイッチ1のみをオン状態とし、他のスイッチ2及び3をオフ状態にしている(図3(a))。これにより、演算増幅器の出力端子と逆相入力端子とがキャパシタCを介して接続される。この状態では出力信号VOUTのレベルは前回の出力の第1のレベルが継続している。

【0016】期間T2においては、スイッチ1に加えて、スイッチ3がオンとなる(図3(b))。また、入力電圧VINが印加されて入力端子11のレベルが変わり、出力信号VOUTは第2のレベルに遷移する。これにより、キャパシタCが短絡され、キャパシタの両端a、bは短時間で同電位となる。演算増幅器12の第2のレベルの出力電圧VOUTは、正若しくは負のオフセット電圧 $\pm V_{off}$ を含んだ $VIN \pm V_{off}$ となる。スイッチ1及び3のオンによりキャパシタCの両端は演算増幅器12の出力端に接続されるので、キャパシタCの両端a、bの電位は共に演算増幅器12の出力によってVOUT(=

【0017】期間T3においては、スイッチ3をオンのまま、スイッチ1をオフにし、その後スイッチ2をオン

$$[VIN - (VIN \pm V_{off})] \cdot C = Q1 \quad \dots (1)$$

期間T4において、キャパシタCに蓄えられる電荷をQ

$$[VOUT - (VIN \pm V_{off})] \cdot C = Q2 \quad \dots (2)$$

が成り立つ。ここで、電荷保存則により、 $Q1 = Q2$ が成り立つから、 $VIN = VOUT$ となり、オフセット電圧 V_{off} が補正される。

【0021】上記実施の形態の利点は、図10を参照して説明した従来の増幅器が、接地電位を演算増幅器に与えて出力されるオフセット電圧をキャパシタに保持し、信号処理モードでキャパシタに入力信号を印加して演算増幅器の出力のオフセット電圧を補償するのに対し、本願の信号処理モード(図3(d))では、入力信号のルートにキャパシタが介在しないようにしているため、前段回路のトランジスタの駆動能力が少なくても済む。

【0022】図4は、他の実施の形態を示している。同図において図1と対応する部分には同一符号を付し、かかる部分の説明は省略する。

にする。これにより、キャパシタCの一端aは入力端11に接続される(図3(c))。キャパシタCの一端aは図示しない前段回路のトランジスタによって電圧VOUTから電圧VINに引き込まれる。スイッチ3がオンであるので、キャパシタCの他方の端子bは出力電圧VOUTのままである。従って、キャパシタに印加される電圧は、 $VOUT - VIN = VIN \pm V_{off} - VIN = \pm V_{off}$ となり、オフセット電圧 V_{off} でキャパシタCに電荷が充電される。この動作において、キャパシタCの一端aの電圧はVOUT(すなわち、 $VIN \pm V_{off}$)からVINに変化するだけであるので図示しない前段回路のVINを出力するトランジスタの負担はオフセット電圧分 $\pm V_{off}$ だけであり、少ない負担である。従って、端子aは短時間で電圧VINに至る。

【0018】これは、例えば、液晶駆動回路の出力回路の300個のキャパシタのa端子を同時に入力電圧VINまで変化させるとき、オフセット電圧分 V_{off} だけの变化で済むということである。

【0019】期間T4においては、スイッチ2及び3をオフにし、その後スイッチ1をオンにする(図3(d))。スイッチ2及び3をオフにすることにより、キャパシタが演算増幅器の逆相入力端及び出力端間に直接接続され、キャパシタCにオフセット電圧 V_{off} が保持される。スイッチ1をオンにすることにより、演算増幅器12の逆相入力端子に出力端子の電位を基準としてオフセット電圧 V_{off} が印加される。この結果、出力電圧VOUTは、 $VOUT = VIN \pm V_{off} - (\pm V_{off}) = VIN$ となり、オフセット電圧は相殺される。出力電圧は補正された第3のレベルとなる。

【0020】オフセット電圧の補正は次のように説明することもできる。期間T3において、キャパシタCに蓄えられる電荷をQ1とすると、

2 とすると、

【0023】この実施の形態においては、スイッチ3がキャパシタCを短絡するようにキャパシタCの両端a、b間に接続される。他の構成は図1の回路と同様である。

【0024】次に、この出力回路の動作を図5のタイミングチャート及び図6の接続図を参照して説明する。

【0025】まず、前回の状態である期間T1においては、スイッチ1のみをオン状態とし、他のスイッチ2及び3をオフ状態にする(図6(a))。これにより、演算増幅器の出力端子と逆相入力端子とがキャパシタCを介して接続される。この状態では出力信号VOUTのレベルは前回の出力の第1のレベル(図示せず)が継続している。

50 【0026】期間T2においては、スイッチ1に加えて

て、スイッチ 3 がオンとなる（図 6（b））。また、図示しない入力電圧 V_{IN} のレベルが変わる。これにより、キャパシタ C が短絡され、演算増幅器 1 2 の出力によってキャパシタの両端 a、b は短時間で同電位となる。演算増幅器 1 2 の出力電圧 V_{OUT} は、正若しくは負のオフセット電圧 $\pm V_{off}$ を含んだ $V_{IN} \pm V_{off}$ となる。スイッチ 1 及び 3 のオンによりキャパシタ C の両端は演算増幅器 1 2 の出力端に接続されるので、キャパシタ C の両端 a、b の電位は共に V_{OUT} ($= V_{IN} \pm V_{off}$) となる。

【0027】期間 T3 においては、スイッチ 1 及び 3 をオフにし、その後スイッチ 2 をオンにする。これにより、キャパシタ C の一端 a は入力端 1 1 に接続される（図 6（c））。キャパシタ C の一端 a は電圧 V_{OUT} から電圧 V_{IN} に引き込まれる。スイッチ 3 がオフであるので、キャパシタ C の他方の端子 b は出力電圧 V_{OUT} のままである。従って、キャパシタの両端に印加される電圧は、 $V_{OUT} - V_{IN} = V_{IN} \pm V_{off} - V_{IN} = \pm V_{off}$ となり、オフセット電圧 V_{off} でキャパシタ C に電荷が充電（あるいは放電）される。この動作においても、キャパシタ C の一端 a の電圧は V_{OUT} ($V_{IN} \pm V_{off}$) から V_{IN} にオフセット電圧分だけ変化するだけであるから、端子 a は短時間で電圧 V_{IN} に至る。従って、この出力回路においてもこの出力回路を駆動する前段回路のトランジスタの駆動能力は小さくて済み、多数の出力回路を同時に駆動する必要がある場合に有利である。

【0028】期間 T4 においては、スイッチ 1 ～ 3 をオフにし、その後スイッチ 1 をオンにする（図 6（d））。スイッチ 1 ～ 3 をオフにすることにより、キャパシタ C にオフセット電圧 V_{off} が保持される。スイッチ 1 をオンにすることにより、演算増幅器 1 2 の逆相入力端子に出力端子の電位を基準としてオフセット電圧 V_{off} が印加される。この結果、出力電圧 V_{OUT} は、 $V_{OUT} = V_{IN} \pm V_{off} - (\pm V_{off}) = V_{IN}$ となり、オフセット電圧は相殺されて、上述した第 1 の実施の形態と同様に、出力電圧のうちオフセット電圧分が補正される。

【0029】この実施の形態においても、出力回路が入力信号を出力する信号処理モード（図 6（d））では、演算増幅器への入力信号のルート上にキャパシタが介在しないので、図示しない前段回路のトランジスタの負荷としてキャパシタが接続される構成となることを回避でき、相対的に駆動能力が少なく済むという利点が確保される。

【0030】図 7 は、本願の出力回路を図 8 に示す液晶表示器の駆動回路 5 0 の出力部 5 5 に用いた場合を示している。出力回路のオフセット電圧を補償する補償回路の各スイッチの動作タイミングを考慮し、信号処理モ-

ド（図 3（d）、図 6（d））において入力信号のルートにオフセット補正用キャパシタが存在しないようにしたことにより、図示しない前段の駆動回路に対する出力回路入力側のキャパシタ成分の影響が最小となる。このため、1 ラインの画素数に対応して多数の出力回路（増幅器）の接続を必要とする液晶表示器の駆動回路に、本願の出力回路を用いれば好都合である。

【0031】

【発明の効果】以上説明したように、本発明によれば、
10 オフセット電圧補償回路のキャパシタによる出力回路の入力側容量の増加が少ないので、前段駆動回路の負担が少なくて済む。また、オフセット補正の動作も素早いので高速で高精度な出力回路を実現できる。この出力回路を多数用いた場合でも各々の出力のパラツキが少ない。従って、液晶駆動回路に好適な出力回路を得ることが可能となる。

【図面の簡単な説明】

【図 1】本発明の出力回路の実施の形態を示すブロック回路図である。

20 【図 2】本発明の出力回路の動作を説明するタイミングチャートである。

【図 3】出力回路の補償回路の動作を説明する説明図である。

【図 4】本発明の出力回路の他の実施の形態を示すブロック回路図である。

【図 5】本発明の出力回路の他の実施の形態の動作を説明するタイミングチャートである。

【図 6】他の実施の形態における出力回路の補償回路の動作を説明する説明図である。

30 【図 7】液晶駆動回路中の出力部の構成を説明するブロック図である。

【図 8】従来の液晶駆動回路の例を示すブロック図である。

【図 9】従来の液晶駆動回路の出力回路の構成例を示す回路図である。

【図 10】従来のオフセット電圧補正機能を備える出力回路の例を示す回路図である。

【図 11】図 10 に示す出力回路の第 1 の動作モードを説明する動作回路図である。

40 【図 12】図 10 に示す出力回路の第 2 の動作モードを説明する動作回路図である。

【符号の説明】

1 1 入力端子

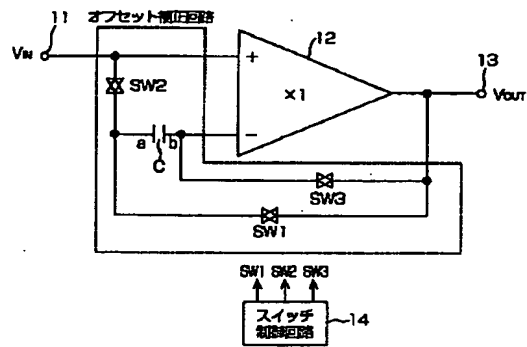
1 2、OP 1、OP 2 演算増幅器

1 3 出力端子

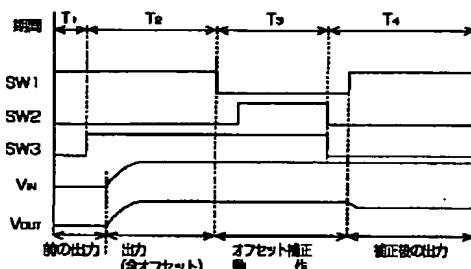
1 4 スイッチ制御回路

SW 1 ～ SW 3 スイッチ

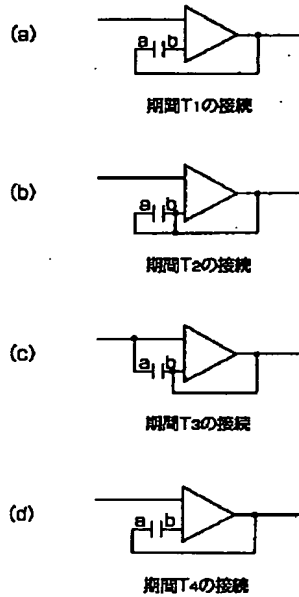
【図 1】



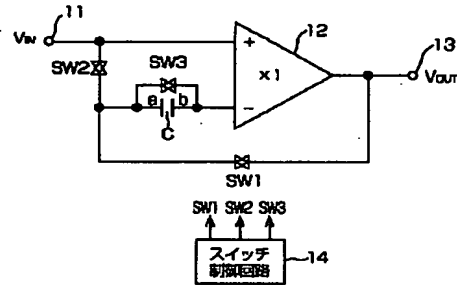
【図 2】



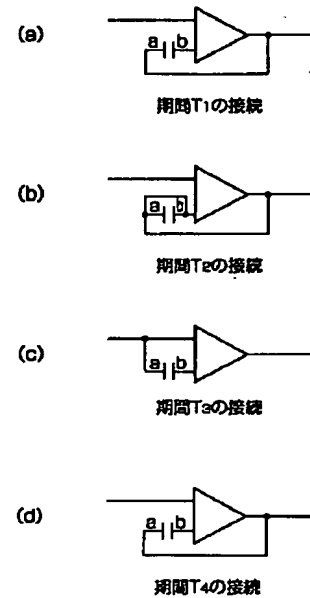
【図 3】



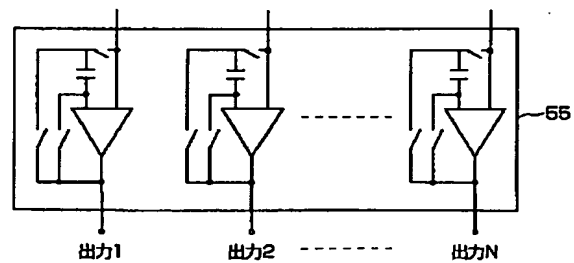
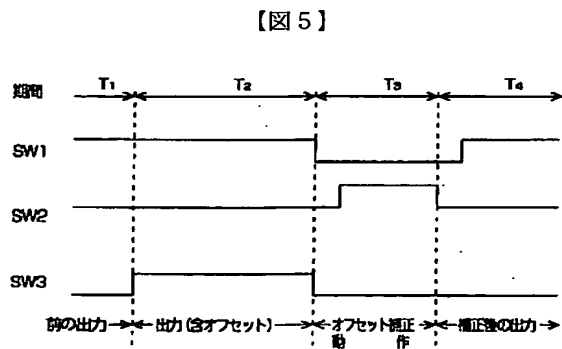
【図 4】



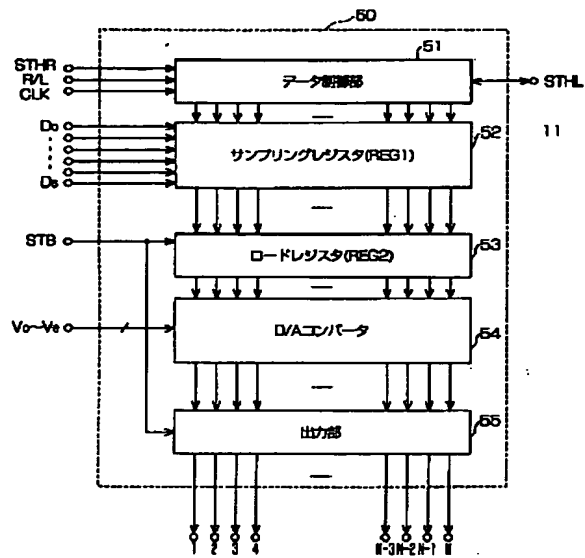
【図 6】



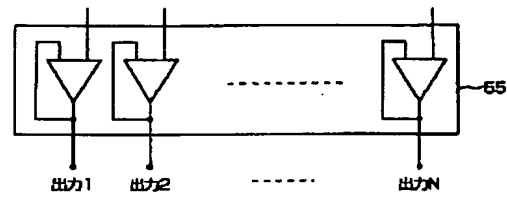
【図 7】



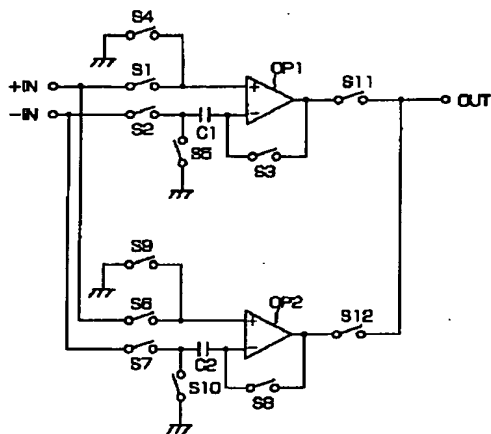
【図 8】



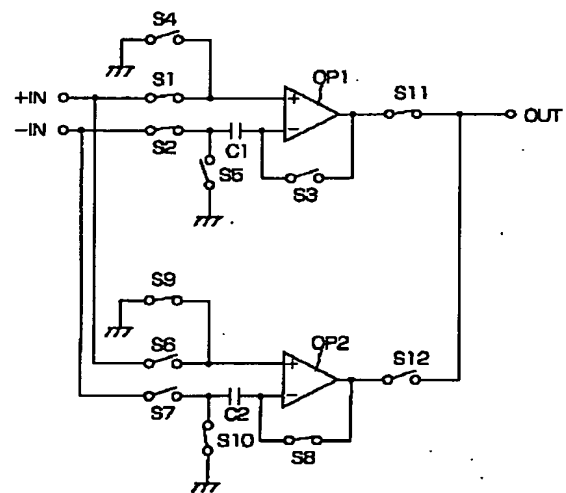
【図 9】



【図 10】



【図 11】



【図 1 2】

